

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication number: JP11220116 (A)

Publication date: 1999-08-10

Inventor(s): ISHIDA TOMOHISA

Applicant(s): NIPPON KOGAKU KK

Classification:

- **international:** *H01L27/146; H01L21/027; H01L27/146; H01L21/02; (IPC1-7): H01L27/146; H01L21/027*

- **European:**

Application number: JP19980032296 19980130

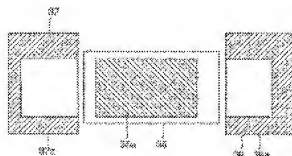
Priority number(s): JP19980032296 19980130

Also published as:

JP3955986 (B2)

Abstract of JP 11220116 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device, which has a chip size larger than the exposure area of a reduction stepper and is capable of suppressing the effects of the seam of a composited image, even when the semiconductor device is manufactured by an image compositing method, and a method for manufacturing the semiconductor device.; **SOLUTION:** A manufacturing method by which a semiconductor device having a light-receiving section composed of region formed on a substrate and having a periodic structure and a peripheral circuit section composed of regions other than the light-receiving section is characterized in that the method contains a process for exposing the semiconductor substrate by the use of a first photomask having pattern data 35a of the entire light-receiving section and another process for exposing the semiconductor substrate by the use of a second photomask provided with pattern data 37a and 39a which correspond to at least a part of the peripheral circuit section. Consequently, the effects of the seam of a composited image can be suppressed.



Data supplied from the esp@cenet database — Worldwide

特開平11-220116

(43)公開日 平成11年(1999)8月10日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146
21/027H 0 1 L 27/14
21/30A
S 1 4 C

審査請求 未請求 請求項の数6 F D (全 8 頁)

(21)出願番号 特願平10-32296

(22)出願日 平成10年(1998)1月30日

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 石田 知久

東京都千代田区丸の内3丁目2番3号株式
会社ニコン内

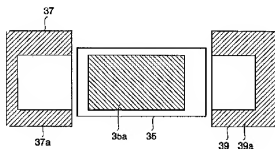
(74)代理人 弁理士 渡部 福

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 縮小投影型露光装置の露光エリアより大きいチップサイズの半導体装置を画面合成法を用いて製造した場合でも、画面合成の縞目影の影響を抑制できる半導体装置及びその製造方法を提供する。

【解決手段】 本発明は、半導体基板上に形成された周期的構造をなす領域である受光部とそれ以外の領域である周辺回路部とを有する半導体装置を製造する製造方法であって、該受光部全体のパターンデータ35aを備えた第1のフォトマスクにより該半導体基板を露光する工程と、該周辺回路部の少なくとも一部に相当するパターンデータ37a、39aを備えた第2のフォトマスクにより該半導体基板を露光する工程と、を具備することを特徴とする。従って、画面合成の縞目影の影響を抑制できる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された周期的構造をなす領域とそれ以外の領域とを有する半導体装置であって、該周期的構造をなす領域全体が第1のフォトリソの露光により形成され、該周期的構造をなす領域以外の領域が第2のフォトリソの露光により形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された周期的構造をなす領域とそれ以外の領域とを有する半導体装置を製造する製造方法であって、該周期的構造をなす領域全体のパターンデータを備えた第1のフォトリソにより該半導体基板を露光する工程と、

該周期的構造をなす領域以外の領域の少なくとも一部に相当するパターンデータを備えた第2のフォトリソにより該半導体基板を露光する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に形成された複数の層からなり、該層が、単位構造を繰り返す周期的構造をなす領域とそれ以外の領域とからなる半導体装置であって、隣接する該単位構造の境界で切られるパターンを有する層における該周期的構造をなす領域全体が第1のフォトリソの露光により形成され、該周期的構造をなす領域以外の領域の少なくとも一部が第2のフォトリソの露光により形成されていることを特徴とする半導体装置。

【請求項4】 上記隣接する該単位構造の境界で切られるパターンを有しない層における領域であって該境界で分割した該周期的構造をなす領域の一方側の領域が第3のフォトリソの露光により形成され、該分割した該周期的構造をなす領域の他方側の領域が第4のフォトリソの露光により形成されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上に形成された複数の層からなり、該層が、単位構造を繰り返す周期的構造をなす領域とそれ以外の領域とからなる半導体装置を製造する製造方法であって、隣接する該単位構造の境界で切られるパターンを有する層における該周期的構造をなす領域全体のパターンデータを備えた第1のフォトリソにより該半導体基板を露光する工程と、

該周期的構造をなす領域以外の領域の少なくとも一部に相当するパターンデータを備えた第2のフォトリソにより該半導体基板を露光する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項6】 上記隣接する該単位構造の境界で切られるパターンを有しない層におけるパターンデータであって該境界で分割した該周期的構造をなす領域の一方に相当するパターンデータを備えた第3のフォトリソにより該半導体基板を露光する工程と、該分割した該周期的構造をなす領域の他方に相当するパターンデータを備えた第4のフォトリソにより該半導体基板を露光する工程と、をさらに含むことを特徴とする請求項5記載の半

導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に、複数のレチクルを用いて画面合成により作製される周期的構造をなすアナログ変換回路を含む大面積の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】周期的構造をなすアナログ変換回路を含む代表的な半導体装置としては固体撮像素子が知られている。固体撮像素子は受光部を有しており、その受光部は単位画素が周期的に配列された構造になっている。その単位画素に入射した光は信号電荷に変換され、アナログ電気信号として単位画素から固体撮像素子内部の出力回路部へ読み出される。

【0003】固体撮像素子の解像度を向上するには、より多くの画素を受光部に配置するために画素サイズを縮小することが考えられる。しかし、感度のいい光学系からの制約により画素サイズの縮小には限界があり、解像度向上には固体撮像素子の受光部を大面積化することが重要な条件であることが明らかになってきた。これについては、例えば1997年映像情報メディア学会年次大会講演予稿集の385頁～388頁に掲載された「超高精細映像入力デバイスの現状と動向」及び同予稿集の389頁～392頁に掲載された「超高精細映像入力システム」で指摘されている。

【0004】図5は、大面積の固体撮像素子のチップ構造を示す平面図である。この固体撮像素子30は受光部1を有し、この受光部1の周囲には周辺回路部2が形成されている。

【0005】図6は、図5に示す固体撮像素子の製造方法（従来の半導体装置の製造方法）を説明する平面図である。この固体撮像素子30のチップサイズは縮小投影型露光装置の露光エリアより大きい。従って、この固体撮像素子30を作製する際、画面合成法が用いられる。この画面合成法は次のようなものである。つまり、露光エリアより小さいサイズでチップを分割し、各々の領域に形成するパターンに対してフォトリソを作製する。そして、該フォトリソにより各々の領域のパターンデータを露光し、その露光エリアを合成することにより1つのチップのパターンを形成する。

【0006】具体的には、図6に示すように、固体撮像素子30においてほぼ中央の繋ぎ部分31で左右に2分割し、左側の領域30Lに対応するフォトリソと右側の領域30Rに対応するフォトリソとを用意する。次に、それぞれのフォトリソによりチップ30の左右の領域30L、30Rそれぞれにパターンデータを露光し、1つの固体撮像素子30のパターンとして合成している。この方法で作製される固体撮像素子の画面合成の

露き部分31における具体的な手法に関しては、例えば特開平9-190962に開示されている。

【0007】

【発明が解決しようとする課題】上述した左右2つの領域30L、30Rを画面合成して1つの固体撮像素子30を作製する画面合成法において、露き部分31でパターンのずれが生じないためには縮小投影型露光装置のアライメント精度が一つのポイントとなる。しかし、現状の縮小投影型露光装置のアライメント精度は固体撮像素子のデザインルールに比べて十分に小さいため、露き部分31での加工精度に関しては特に問題はない。ところが、露光時に発生する露光エリア内の不均一性、例えば、露光量むらや光学系の歪みのためにパターンサイズが不均一になる。その結果、図6に示す画面合成の露き部分31で感度等の画素に関する素子特性にとびが生じ、段差状に変化するという現象が起こる。

【0008】図7は、図6に示す固体撮像素子に入射された均一強度の光に対する画出力信号波形（受光部水平位置と画出力との関係）を示す図である。この画出力信号波形は図6に示すL-R部分の信号波形に対応する。

【0009】1つの露光エリア全体に渡って画素の素子特性が緩やかに変化する場合、画出力信号も緩やかに変化するのでその映像是視覚的に違和感を感じない。具体的な信号強度の変化量は、図7に示すように ΔV である。尚、1つの露光エリアは固体撮像素子の画面全体に対する $1/2$ 程度以上の領域、例えば図6に示す受光部水平位置と露き部分31との間の領域に相当する。

【0010】しかし、上述したように画面合成の露き部分31では画出力信号強度が段差状に急激に変化してしまい、その変化量は ΔB である。この場合、たとえその変化量 ΔB が1つの露光エリア全体に渡る緩やかな変化量 ΔV に比べて小さくても、その映像是視覚的に違和感を感じ、非常に目立ち、縦線として知覚されるという問題があった。従って、固体撮像素子に代表されるアナログ変換回路が周期的に配列された構造を有する大面積の半導体装置を複数組のフォトマスクを使用して作製しても、画面合成の露き目の影響を受けない半導体装置の製造方法が求められていた。

【0011】本発明は上記のような事情を考慮してなされたものであり、その目的は、縮小投影型露光装置の露光エリアより大きいチップサイズの半導体装置を画面合成法を用いて製造した場合でも、画面合成の露き目の影響を抑制できる半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置は、半導体基板上に形成された周期的構造をなす領域とそれ以外の領域とを有する半導体装置であって、該周期的構造をなす領域全体が第

1のフォトマスクの露光により形成され、該周期的構造をなす領域以外の領域が第2のフォトマスクの露光により形成されていることを特徴とする。

【0013】また、本発明に係る半導体装置の製造方法は、半導体基板上に形成された周期的構造をなす領域とそれ以外の領域とを有する半導体装置を製造する製造方法であって、該周期的構造をなす領域全体のパターンデータを備えた第1のフォトマスクにより該半導体基板を露光する工程と、該周期的構造をなす領域以外の領域の少なくとも一部に相当するパターンデータを備えた第2のフォトマスクにより該半導体基板を露光する工程と、を具備することを特徴とする。

【0014】この半導体装置の製造方法では、周期的構造をなす領域全体を第1のフォトマスクで露光することにより、該領域に相当するパターンデータを半導体基板に形成し、それ以外の領域の少なくとも一部を第2のフォトマスクで露光することにより、該領域の少なくとも一部に相当するパターンデータを該半導体基板に形成する。このように周期的構造をなす領域全体を1枚のフォトマスクで一括露光するため、周期的構造をなす領域に画面合成の露き目が入ることがない。従って、半導体装置を画面合成法を用いて製造した場合でも、画面合成の露き目の影響を抑制できる。

【0015】また、本発明に係る半導体装置は、半導体基板上に形成された複数の層からなり、該層が、単位構造を繰り返す周期的構造をなす領域とそれ以外の領域とからなる半導体装置であって、隣接する該単位構造の境界で切られるパターンを有する層における該周期的構造をなす領域全体が第1のフォトマスクの露光により形成され、該周期的構造をなす領域以外の領域の少なくとも一部が第2のフォトマスクの露光により形成されていることを特徴とする。

【0016】また、上記隣接する該単位構造の境界で切られるパターンを有しない層における領域であって該境界で分割した該周期的構造をなす領域の一方側の領域が第3のフォトマスクの露光により形成され、該分割した該周期的構造をなす領域の他方側の領域が第4のフォトマスクの露光により形成されていることが好ましい。

【0017】また、本発明に係る半導体装置の製造方法は、半導体基板上に形成された複数の層からなり、該層が、単位構造を繰り返す周期的構造をなす領域とそれ以外の領域とからなる半導体装置を製造する製造方法であって、隣接する該単位構造の境界で切られるパターンを有する層における該周期的構造をなす領域全体のパターンデータを備えた第1のフォトマスクにより該半導体基板を露光する工程と、該周期的構造をなす領域以外の領域の少なくとも一部に相当するパターンデータを備えた第2のフォトマスクにより該半導体基板を露光する工程と、を具備することを特徴とする。上記半導体装置の製造方法では、隣接する該単位構造の境界で切られ

るパターンを有する層については、この層における該周期的構造をなす領域全体のパターンデータを備えた1枚のフォトマスク(第1のフォトマスク)により該半導体基板を一括露光する。このため、周期的構造をなす領域に画面合成の罫目が入ることがない。

【0018】また、上記隣接する該単位構造の境界で切られるパターンを有しない層におけるパターンデータであって該境界で分割した該周期的構造をなす領域の一方に相当するパターンデータを備えた第3のフォトマスクにより該半導体基板を露光する工程と、該分割した該周期的構造をなす領域の他方に相当するパターンデータを備えた第4のフォトマスクにより該半導体基板を露光する工程と、をさらに含むことが好ましい。境界で切られるパターンを有しない層についてはパターンデータを分割して半導体基板に露光しても、画面合成の罫目の影響を受けることは少ない。従って、画面合成の罫目の影響を抑制しつつ、必要とされるフォトマスクの枚数を少なくできる。

【0019】尚、上記半導体装置が固体撮像素子の場合には、周期的構造をなす領域が受光部に相当し、それ以外の領域が周辺回路部に相当し、周期的構造を構成する単位構造が一つのフォトダイオードを含む単位画素に相当し、該単位構造の境界が画素分離領域に相当し、該単位構造の境界で切られるパターンが出力信号特性に対して敏感な構造パラメータに相当する。従って、隣接する該単位構造の境界で切られるパターンを有する層では、周期的構造をなす領域で分割することができない。しかし、隣接する該単位構造の境界で切られるパターンを有しない層では、該境界で該周期的構造をなす領域を分割し、一方のパターンデータと他方のパターンデータを相互に接続しても、この接続による罫目の影響は少ない。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1は、大面積の固体撮像素子のチップ構造を示す平面図である。この固体撮像素子10は周期的構造をなす受光部1を有し、該周期的構造を構成する単位構造が一つのフォトダイオードを含む単位画素である。また、この受光部1の周囲には周辺回路部2が形成されている。該固体撮像素子10は、複数のパターンのデータで各層毎に複数のフォトマスクにより順次半導体基板上に露光形成することにより得られる。

【0021】この固体撮像素子10は互いにオーバーラップする3つの領域35、37、39に分割されている。第1の領域35は受光部1及び周辺回路部2の一部からなる領域である。第2の領域37はチップ10のほぼ左半分からなる領域である。第3の領域39はチップ10のほぼ右半分からなる領域である。

【0022】固体撮像素子10のチップサイズは縮小投影露光装置の1つの露光エリアより大きい。チップ

を3つの領域35、37、39に分割することにより、各領域のサイズを1つの露光エリアより小さくできる。各々の領域は3組のフォトマスクのデータエリアに対応している。

【0023】図2は、図1に示す固体撮像素子の製造方法を説明するものであり、本発明の第1の実施の形態による半導体装置の製造方法を説明する平面図である。固体撮像素子10のパターンを3つのパターンデータ領域35a、37a、39aに分割する。第1のパターンデータ領域35aは図1に示す受光部1の全体に相当し、第2のパターンデータ領域37aは図1に示す素子10の略左半分の周辺回路部2に相当し、第3のパターンデータ領域39aは図1に示す素子10の略右半分の周辺回路部2に相当する。

【0024】第1のパターンデータ領域35aを第1の領域35に対応するフォトマスクに割り付け、第2のパターンデータ領域37aを第2の領域37に対応するフォトマスクに割り付け、第3のパターンデータ領域39aを第3の領域39に対応するフォトマスクに割り付け、これら3つのフォトマスクによりチップ10の第1～第3の領域35、37、39それぞれにパターンデータを露光し、1つの固体撮像素子10のパターンとして合成する画面合成法で素子を作製する。

【0025】上記第1の実施の形態によれば、固体撮像素子10のパターンデータを分割する際、周期的に配列されたアナログ変換回路部である受光部1全体のパターン(第1のパターンデータ領域35a)を1枚のフォトマスクに形成し、このフォトマスクで一括露光により形成する。これにより、受光部1に画面合成の罫目が入らず、従来の方法で製造された固体撮像素子のように画出力信号が受光部内で段差状に変化するこない。つまり、従来の大面積半導体装置に見られた画面合成の罫目部分でのアナログ電気信号のとびがなくなる。したがって、高解像度でありながら画面合成の影響を受けない高画質な映像を得ることができる。

【0026】尚、上記第1の実施の形態では、受光部1を構成する各層の全てについて画面合成の罫目が入らないようにしているが、これに限られず、受光部1を構成する各層のうち画面合成の罫目の影響を受けないか或いはその影響の少ない層については画面合成の罫目が入るようなフォトマスクを用いることも可能である。

【0027】次に、本発明の第2の実施の形態による半導体装置の製造方法について説明する。

【0028】固体撮像素子が複数層からなる素子構造を有する場合、固体撮像素子の製造プロセスにはそれぞれに対応する複数枚のフォトマスクが使用される。素子の画素数を n とすると、第1の実施の形態による図1の固体撮像素子の製造プロセスには $3n$ 枚のフォトマスクが必要となる。これに対し、図5の従来の固体撮像素子では $2n$ 枚のフォトマスクが使用される。従って、第1の実施の

形態による半導体装置の製造方法では、その方法で製造された固体撮像素子10の致命的な画質の劣化を抑えることはできるが、従来の方法に比べて必要なフォトリソ加工が増えることになる。第2の実施の形態による半導体装置の製造方法は、必要なフォトリソの枚数を極力抑え且つ高画質な画像出力信号が得られる大面積固体撮像素子を製造するものである。

【0029】図3(a)は、本発明の第2の実施の形態による半導体装置の製造方法により製造した増幅型固体撮像素子の一部を示す単位素子の平面図であり、図3(b)は、図3(a)に示す3b-3b線に沿った断面図であり、図3(c)は、図3(a)に示す3c-3c線に沿った断面図である。

【0030】図3(a)に示すように、増幅型固体撮像素子20は、光電変換部となる埋込型フォトダイオード103、出力部であるnチャネル接合型電界効果トランジスタ(以下、「JFET」という。)104、JFET104の制御電極1041の電位を制御するためのリセット用トランジスタ(pチャネルMOSFET)105、及び、該フォトダイオード103とJFET104との間の駆送部となる駆送ゲートTG106などから構成されている。

【0031】図3(b)、(c)に示すように、P型半導体基板101の上にはN型半導体領域102が形成されており、このN型半導体領域102にはフォトダイオード103及びJFET104が形成されている。また、JFET104の制御電極1041はN型半導体領域からなるソース1042、ドレイン1043で挟まれており、ドレイン1043は画素間の分断領域も兼ねている。また、JFET104のNチャネル領域1044はソース1042とドレイン1043との間に形成されている。また、N型半導体領域102にはリセット用トランジスタ105の主電極であるP型領域(以下、「RSD(リセットドレイン)」という。)1051が形成されている。

【0032】また、図3(b)に示すように、RSD1051とJFET104との間にはリセット用トランジスタ105の制御電極RG1052が形成されている。この制御電極RG1052及び上記駆送ゲートTG106はともにポリシリコンからなる。また、JFET104のソース1042はソース配線1045に接続されており、ドレイン1043はドレイン配線1046に接続されている。これらソース配線1045とドレイン配線1046は第1層アルミで形成されている。ドレインコンタクトは、図3(a)に示すように画素分断領域であるN型半導体領域1043でコンタクトホール1047を介してとられる。

【0033】また、図3(b)に示すように、RSD1051のコンタクト1053は第1層アルミでとられており、スルーホール1054を介して第2層アルミで形

成されたRSD電極1054に接続されている。このRSD電極1054は、遮光も兼ねてJFET104及びRSD1051を覆うように形成されている。

【0034】図4は、図3に示す増幅型固体撮像素子の製造方法を説明するものであり、本発明の第2の実施の形態による半導体装置の製造方法を説明する平面図である。この増幅型固体撮像素子20は互いにオーバーラップする3つの領域35、37、39に分割されている。第1の領域35は受光部及び周辺回路部の一部からなる領域である。第2の領域37はチップ20のほぼ左半分からなる領域である。第3の領域39はチップ20のほぼ右半分からなる領域である。

【0035】増幅型固体撮像素子20のチップサイズは縮小投影型露光装置の1つの露光エリアより大きい。チップを3つの領域35、37、39に分割することにより、各領域のサイズを1つの露光エリアより小さくできる。各々の領域は3組のフォトリソのデータエリアに対応している。

【0036】この増幅型固体撮像素子のパターンを3つのパターンデータ領域35a、37b、39bに分割する。第1のパターンデータ領域35aは受光部の全体に相当し、第2のパターンデータ領域37bは素子20の略左半分の受光部及び周辺回路部に相当し、第3のパターンデータ領域39bは素子20の略右半分の受光部及び周辺回路部に相当する。

【0037】第1のパターンデータ領域35aを第1の領域35に対応するフォトリソに割り付け、第2のパターンデータ領域37bを第2の領域37に対応するフォトリソに割り付け、第3のパターンデータ領域39bを第3の領域39に対応するフォトリソに割り付ける。

【0038】図3(a)に示すように、第2のパターンデータ領域37bと第3のパターンデータ領域39bとの露光部分31をJFET104のドレインである画素分断領域1043上に位置させるようにする。

【0039】固体撮像素子20において、画素から出力される画像信号特性に対して敏感な構造パラメータは、不純物濃度の高い領域であるN型半導体領域1042、1043、開口率を決める第1層及び第2層アルミ配線1045、1046、1054、また露光部分31にあるサイズの小さいドレインコンタクト1047である。その他の構造パラメータ、例えば、JFET104の制御電極1041やNチャネル領域1044、あるいはフォトダイオード103については、そのパターン寸法が製造時に多少ばらついたとしても実質的なサイズは、ソース、ドレイン(画素分断領域)であるN型半導体領域1042、1043でほぼ決まる。このため、画像出力信号特性はJFET104の制御電極1041やNチャネル領域1044、あるいはフォトダイオード103の構造パラメータに対して敏感ではない。

【0040】したがって、出力特性に対して敏感でない構造のパラメータは、画素分離領域1043上で画面合成を行っても画質に影響を与えない。よって、出力特性に対して敏感でないパターンデータについては、図4に示す第2のパターンデータ領域37bと第3のパターンデータ領域39bとに分割することができる。

【0041】一方、出力特性に対して敏感なパターンデータについては、第1の実施の形態の場合と同様に図4に示す第1～第3のパターンデータ領域35a、37b、39bの3つの領域に分割する。これにより、出力特性に対して敏感なパターンデータに画面合成の焼き目が入らない。

【0042】すなわち、図3の増幅型固体撮像素子20において、出力信号特性に対して敏感な構造パラメータであるN型半導体領域1042、1043を形成する層、第1層、第2層アルミ配線1045、1046、1055の2層、及びドレインコンタクト1047を形成する層の計4層については、図4に示す第1の領域35に相当するフォトマスクと、周辺回路部の層については、第2、第3の領域37、39に相当するフォトマスクにパターンデータを割り付ける。更に、Nチャネル領域1044は出力信号特性に対して敏感でない構造パラメータであるが、Nチャネル領域1044は受光部にのみ形成される拡散領域であるので、第2、第3の領域37、39に相当するフォトマスクに周辺回路部のパターンデータを割り付ける必要がないため、第1の領域35に相当するフォトマスクにのみパターンデータを割り付けける。そして、これら3つのフォトマスクによりチップ20の第1～第3の領域35、37、39それぞれにパターンデータを露光し、画面合成を行う。

【0043】また、図3の増幅型固体撮像素子20において、出力信号特性に対して敏感でない構造パラメータのパターンデータについては、図4に示す第2、第3の領域37、39に相当するフォトマスクにパターンデータを割り付ける。そして、これら2つのフォトマスクによりチップ20の第2、第3の領域37、39それぞれにパターンデータを露光し、画面合成を行う。

【0044】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

【0045】さらに、第2の実施の形態では、周期的構造を有する受光部において、出力信号特性に対して敏感な構造パラメータについてのみ3つのフォトマスクにパターンデータを分割し、出力信号特性に対して敏感でない構造パラメータについては2つのフォトマスクにパターンデータを分割している。更に、出力信号特性に対して敏感でない構造パラメータであっても、周期的構造を有する受光部に相当するパターンデータのみの層については、1つのフォトマスクにパターンデータを割り付けている。このため、フォトマスクの枚数を第1の実施の形態の場合より少なくすることができる。具体的には、

3つのフォトマスクにパターンデータを分割する層が4層、1つのフォトマスクにパターンデータを割り付ける層が1層、残りが2つのフォトマスクにパターンデータを分割するので、製造プロセスに必要なフォトマスクは $2(n-5)+3 \times 4+1=2n+3$ 枚となり、フォトグラフィ工程数を従来の半導体装置の製造コストに比べてわずかな増加で済ませることができ、製造コストの上昇を抑えることができる。

【0046】尚、出力信号特性に対して敏感な構造パラメータであるか否かについては、本実施の形態では画素分離領域上で切られるパターンであるか否かで判断する。つまり、画素分離領域上で切られるパターンであれば出力信号特性に対して敏感な構造パラメータであると判断する。しかしながら、必ずしも画素分離領域上に限定されるのではなく、例えば画素分離領域上にはないが画素分離領域近傍に位置するパターンを出力信号特性に対して敏感な構造パラメータと判断することもできる。

【0047】また、上記第1及び第2の実施の形態では、周期的構造をなすアナログ変換回路を含む半導体装置として固体撮像素子を用いているが、これに限定されず、本発明を他の周期的構造をなすアナログ変換回路を含む半導体装置、例えばアレイ状の圧力センサのように物理量を電気信号に変換する装置に適用することも可能である。

【0048】

【発明の効果】以上説明したように本発明によれば、縮小投影型露光装置の露光エリアより大きいチップサイズの半導体装置を画面合成法を用いて製造した場合でも、画面合成の焼き目の影響を抑制できる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】大面積の固体撮像素子のチップ構造を模式的に示す平面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法を説明する平面図である。

【図3】図3(a)は、本発明の第2の実施の形態による半導体装置の製造方法により製造した増幅型固体撮像素子の単位画素の構造を模式的に示す平面図であり、図3(b)は、図3(a)に示す3b-3c線に沿った断面図であり、図3(c)は、図3(a)に示す3c-3c線に沿った断面図である。

【図4】本発明の第2の実施の形態による半導体装置の製造方法を説明する平面図である。

【図5】大面積の固体撮像素子のチップ構造を示す平面図である。

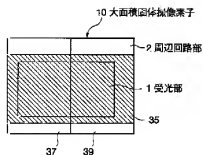
【図6】従来の半導体装置の製造方法を説明する平面図である。

【図7】図6に示す固体撮像素子に入射された均一な強度の光に対する画像出力信号波形を示す図である。

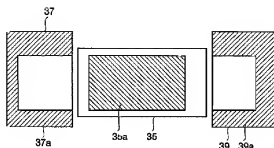
【符号の説明】

- | | | | |
|-----------------------------------|-------------|--------------------|--------------|
| 1…受光部 | 2…周辺回路部 | 1041…制御電極 | 1042…ソース |
| 10, 20, 30…固体撮像素子 | | 1043…ドレイン | 1044…Nチャネル領域 |
| 31…画面合成禁止部分 | | 領域 | |
| 35, 37, 39…チップ分割領域(第1〜第3の領域) | | 1045…ソース配線 | 1046…ドレイン配線 |
| 30L, 30R…パターンデータ領域 | | 1047…コンタクトホール | |
| 35a, 37a, 37b, 39a, 39b…パターンデータ領域 | | 105…リセット用トランジスタ | |
| 101…P型半導体基板 | 102…N型半導体基板 | 1051…リセットドレイン(RSD) | |
| | | 1052…制御電極RSG | 1053…コンタクト |
| 103…フォトダイオード | | 1054…スルーホール | 1055…RSD電極 |
| 104…nチャネル接合型電界効果トランジスタ | | 106…転送ゲートTG | |

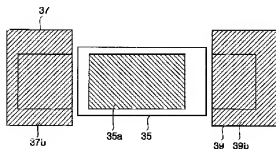
【図1】



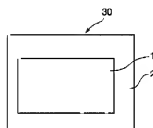
【図2】



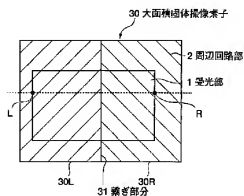
【図4】



【図5】



【図6】



【図7】

